

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 09232521 A

(43) Date of publication of application: 05.09.97

(51) Int. Cl.

H01L 27/04
H01L 21/822
H01L 21/265

(21) Application number: 08041152

(22) Date of filing: 28.02.96

(71) Applicant: NEC CORP

(72) Inventor: KITAMURA TAKAHIRO

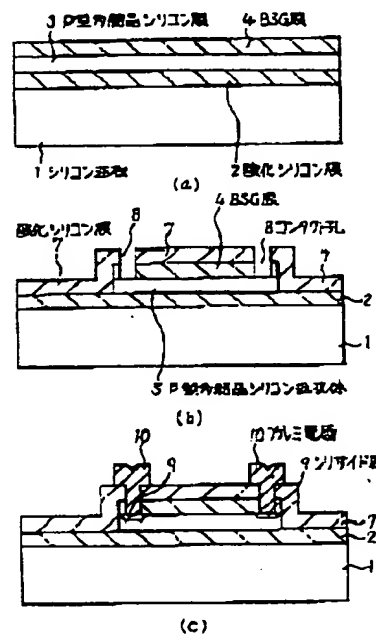
(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57) Abstract:

PROBLEM TO BE SOLVED: To reduce irregularity in resistance without increasing the chip area and the cost, by providing a polycrystal silicon resistor formed on a semiconductor substrate via an insulating film, and a silicon oxide film containing impurity and formed on the surface of the polycrystal silicon resistor.

SOLUTION: A BSG film 4 and a polycrystal silicon film 3 are etched to form a P-type polycrystal silicon resistor 5 with the BSG film 4 provided thereon. Then, after a silicon oxide film 7 covering a silicon oxide film 2 and the BSG film 4 is formed, a hole is selectively opened in the silicon oxide film 7 and the BSG film 4, thereby forming a contact hole 8. Then, the resistance is centered by a method in which the impurity density of the P-type polycrystal silicon resistor 5 is increased while the layer resistance is reduced. Since the BSG film 4 is provided on the P-type polycrystal silicon resistor 5, boron is diffused also at the time of emitter annealing. However, the resistance may be adjusted even in annealing at 900°C by optimizing the ion implantation dose of boron.

COPYRIGHT: (C)1997,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-232521

(43) 公開日 平成9年(1997)9月5日

| | | | | |
|----------------------------|------|--------|---------------|--------|
| (51) Int. Cl. ⁶ | 識別記号 | 庁内整理番号 | F I | 技術表示箇所 |
| H 0 1 L 27/04 | | | H 0 1 L 27/04 | P |
| 21/822 | | | 21/265 | A |
| 21/265 | | | | |

審査請求 有 請求項の数 5 O L (全 4 頁)

(21) 出願番号 特願平8-41152

(22) 出願日 平成8年(1996)2月28日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 喜多村 隆弘

東京都港区芝五丁目7番1号 日本電気株式会社内

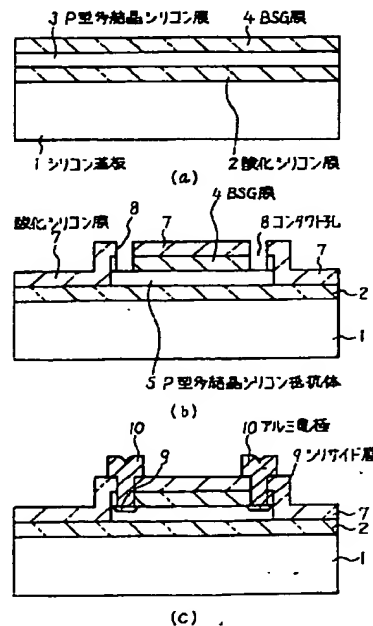
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 チップ面積を小さくする半導体装置では、抵抗の抵抗値のばらつきが大きい。

【解決手段】 多結晶シリコン抵抗体5上にBSG膜4を形成しておき、抵抗値をモニターしながら熱処理を行ない、BSG膜4から不純物を拡散させ、抵抗体5の抵抗値を調整する。



1

【特許請求の範囲】

【請求項1】 半導体基板上に絶縁膜を介して形成された多結晶シリコン抵抗体と、この多結晶シリコン抵抗体の表面に形成された不純物を含むシリコン酸化膜とを含むことを特徴とする半導体装置。

【請求項2】 不純物はホウ素又はリンであって請求項1記載の半導体装置。

【請求項3】 トランジスタ素子が形成された半導体基板上に第1の絶縁膜を形成する工程と、この第1の絶縁膜上に多結晶シリコン膜を形成したのち所望の層抵抗より高めになるように一導電型不純物を導入する工程と、この多結晶シリコン膜上に一導電型不純物を高濃度を含んだシリコン酸化膜を形成する工程と、このシリコン酸化膜と前記多結晶シリコン膜を同時にパターニングし多結晶シリコン抵抗体を形成する工程と、パターニングされた前記シリコン酸化膜の表面を含む全面に第2の絶縁膜を形成する工程と、この第2の絶縁膜と前記シリコン酸化膜を貫通する電極形成用のコンタクト孔を形成したのち熱処理し、前記シリコン酸化膜から前記多結晶シリコン抵抗体へ不純物を拡散させ前記多結晶シリコン抵抗体の抵抗値を調整する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項4】 多結晶シリコン抵抗体の抵抗値をモニターしながら熱処理を行う請求項3記載の半導体装置の製造方法。

【請求項5】 一導電型不純物はホウ素又はリンである請求項3又は請求項4記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体装置およびその製造方法に関し、特に多結晶シリコン抵抗体およびその製造方法に関する。

【0002】

【従来の技術】 半導体装置には多くの抵抗が設けられているが、これらの抵抗は主に半導体基板に形成された不純物の拡散層や絶縁膜上の多結晶シリコン層が用いられている。従来の多結晶シリコン抵抗体の製造方法を図面を参照して説明する。

【0003】 図2(a), (b), (c)は従来の多結晶シリコン抵抗体の製造方法を説明する為の半導体チップの断面図である。

【0004】 まず図2(a)に示すように、シリコン基板1上に酸化シリコン膜2を形成したのちこの酸化シリコン膜2の上に多結晶シリコン膜3を堆積する。次にこの多結晶シリコン膜3にイオン注入あるいは拡散によりP型不純物(またはN型不純物)をドーピングする。次図2(b)に示すように、この多結晶シリコン膜3をパターニングし、P型多結晶シリコン抵抗体5(またはN型多結晶シリコン抵抗体)を形成する。次に酸化シリコン膜2とP型多結晶シリコン抵抗体5を覆う酸化シリコン

2

膜7を全面に形成し、P型多結晶シリコン抵抗体5上の酸化シリコン膜7を選択的にパターニングしコンタクト孔8を形成する。そしてP型多結晶シリコン抵抗体5内の不純物を活性化させるために850~1000℃でアニールを行う。たとえばバイポーラプロセスにおける多結晶シリコン抵抗体5ではこの熱処理はエミッタアニール(1000℃10秒程度)で行う。次図2(c)に示すように、コンタクト孔8内にシリサイド層9を形成したのち、コンタクト孔8にアルミ電極10を形成し抵抗を完成させる。

【0005】 抵抗値の調整は先行ロットの特性をフィードバックし、イオン注入のドーピング量の調整によって行なわれているが、微調整は極めて困難であった。この対策として、不純物イオンの活性化を利用する方法が、例えば特開昭59-99757号公報に記載されている。この方法は、トランジスタ形成後に多結晶シリコン層に不純物を導入し、600℃以下のアニール温度で活性化率を変えて層抵抗を調整し、抵抗値を最適化するものである。

【0006】

【発明が解決しようとする課題】 半導体装置の抵抗はトランジスタを形成する工程内で作られる。そして特性の最適化はどうしてもトランジスタが優先になっているが、抵抗の特性の最適化が犠牲になり、抵抗値のばらつきを抑えることが難しくなっている。ところが最近、半導体装置の低消費電力化のニーズが大きくなり、電流値を小さく抑えた設計をするために、抵抗値のばらつきを抑えることが必要になってきている。

【0007】 従来の抵抗は前述したようにトランジスタを形成するついでに形成され、製造ばらつきの影響を受ける前の工程で、先行ロットの特性をフィードバックし、イオン注入のドーピング量を調整する事によって抵抗値を制御している。よって抵抗値をモニターしながらの微調整はほとんど不可能であり、また製造ばらつきの影響を直接受けてしまい、抵抗値のばらつきを小さくすることは出来なかった。

【0008】 また、あらかじめ抵抗値の違う抵抗体を幾つも作っておき、ロット分割して数枚先行評価し、その結果を残りのウェハにフィードバックし、所望の抵抗値に一番近い抵抗体にアルミ配線をつなぎ変えて制御する方法もあるが、本来1本でいい抵抗体を幾つもレイアウトしなくてはならず、チップ面積が大きくなり価格が高くなるという問題点がある。

【0009】 更に特開昭59-99757号公報に記載された調整方法では、構成上抵抗体に600℃以上熱をかけられないため、トランジスタを形成したのち多結晶シリコン抵抗体を形成して、不純物を導入する必要がある。これはトランジスタ形成時には通常850~1000℃の熱処理を必要とするからである。このような構成では抵抗体の製造工程が独立する事になるので工程数が

増え価格が高くなり、製造時間も長くなるという問題点がある。

【0010】本発明の目的は、チップ面積を大きくすることなく、かつ価格を高くすることなく抵抗値のばらつきの小さい抵抗を有する半導体装置およびその製造方法を提供することにある。

【0011】

【課題を解決するための手段】第1の発明の半導体装置は、半導体基板上に絶縁膜を介して形成された多結晶シリコン抵抗体と、この多結晶シリコン抵抗体の表面に形成された不純物を含むシリコン酸化膜とを含むことを特徴とするものである。

【0012】第2の発明の半導体装置の製造方法は、トランジスタ素子が形成された半導体基板上に第1の絶縁膜を形成する工程と、この第1の絶縁膜上に多結晶シリコン膜を形成したのち所望の層抵抗より高めになるように一導電型不純物を導入する工程と、この多結晶シリコン膜上に一導電型不純物を高濃度に含んだシリコン酸化膜を形成する工程と、このシリコン酸化膜と前記多結晶シリコン膜を同時にパターンニングし多結晶シリコン抵抗体を形成する工程と、パターンニングされた前記シリコン酸化膜の表面を含む全面に第2の絶縁膜を形成する工程と、この第2の絶縁膜と前記シリコン酸化膜を貫通する電極形成用のコンタクト孔を形成したのち熱処理し、前記シリコン酸化膜から前記多結晶シリコン抵抗体へ不純物を拡散させ前記多結晶シリコン抵抗体の抵抗値を調整する工程とを含むことを特徴とするものである。

【0013】

【発明の実施の形態】次に本発明について図面を参照して説明する。図1(a)、(b)、(c)は本発明の一実施の形態を説明する為の半導体チップ断面図である。

【0014】まず図1(a)に示すように、トランジスタ素子が形成されたシリコン基板1上に酸化シリコン膜2を形成したのち、この酸化シリコン膜2の上にCVD法により厚さ約250nmの多結晶シリコン膜3を堆積する。そして従来例より低ドーズ量(約 $1 \times 10^{14} / \text{cm}^2$)でボロンを多結晶シリコン膜3にイオン注入したのち、高濃度にボロンを含んだ(10~30モル%)BSG膜4を堆積する。

【0015】次に図1(b)に示すように、BSG膜4と多結晶シリコン膜3をエッチングし、BSG膜4を載せたP型多結晶シリコン抵抗体5を形成する。次に酸化シリコン膜2とPSG膜4を覆う酸化シリコン膜7を形成したのち、この酸化シリコン膜7とBSG膜4を選択的に開孔しコンタクト孔8を形成する。次にトランジスタ形成時の熱処理、たとえばバイポーラプロセスにおけるエミッタアニール(1000℃10秒程度)を行う。その後あらかじめ設けておいた4端子法で測定できる抵抗チェックパターンで、抵抗値をモニターしながら、たとえば900℃10~60秒程度のアニールを行ないB50

SG膜4からボロンを拡散させ、P型多結晶シリコン抵抗体5の不純物濃度を高くし層抵抗を低くしていく方法で抵抗値のセンタリングを行う。P型多結晶シリコン抵抗体5上にBSG膜4が載っているため、エミッタアニール時にもボロンは拡散されるが、ボロンのイオン注入ドーズ量を最適化することにより、900℃のアニールでも抵抗値の調整は可能となる。またトランジスタ形成時の熱処理はプロセスにより異なるが、イオン注入ドーズ量および抵抗アニール温度を最適化することにより調整は可能となる。

【0016】次に図1(c)に示すように、コンタクト孔8内にシリサイド層9を形成したのちコンタクト孔8にアルミ電極10を形成し抵抗を完成させる。

【0017】このように本実施の形態によれば、多結晶シリコン抵抗体の抵抗値を調整できる為、抵抗値のばらつきを小さくできる。例えば、複数の調整用抵抗体を用いない従来例では抵抗値のばらつきは±30%であったが、本実施の形態では±10%以下に抑えることができた。

【0018】又本実施の形態では従来技術に対してBSG膜4を形成する工程と、抵抗値を調整するためのアニール工程の2工程が増えるだけなので、価格が高くなり製造時間が長くなることはほとんどない。

【0019】尚、上記実施の形態ではP型多結晶シリコン抵抗体とBSG膜を用いた場合について説明したが、N型多結晶シリコン抵抗体とPSG膜を用いてもよい。又多結晶シリコン膜の厚さを250nm、不純物のドーズ量を $10^{14} / \text{cm}^2$ の場合について説明したが、これに限定されるものではなく、抵抗体の種類により適宜変更できるものである。

【0020】

【発明の効果】以上説明したように本発明は、不純物を高濃度に含んだ酸化膜から不純物を多結晶シリコン抵抗体へ拡散させることにより、抵抗値を調整することができる。よって複数の調整用抵抗体を有する必要がないことから、半導体装置の大きさを減少することができ、工程数もほとんど増加しないので、コストダウンを図ることができる。また、本発明の抵抗値調整法では連続的な値をとることが可能なため、厳しい規格に対応する微妙な調整が可能であり、特性の一様化、歩留りの向上を図ることができる。

【図面の簡単な説明】

【図1】本発明の実施の形態を説明する為の半導体チップの断面図。

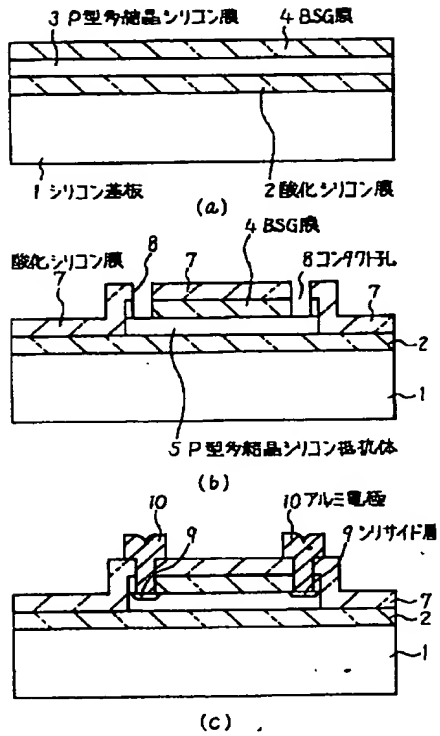
【図2】従来の半導体装置の製造方法を説明する為の半導体チップの断面図。

【符号の説明】

- 1 シリコン基板
- 2 酸化シリコン膜
- 3 P型多結晶シリコン膜

- 5
4 BSG膜
5 P型多結晶シリコン抵抗体
7 酸化シリコン膜

【図1】



- 6
8 コンタクト孔
9 シリサイド層
10 アルミ電極

【図2】

